

日 本 国 特 許 庁
JAPAN PATENT OFFICE

12/21/01
Molles



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月27日

出 願 番 号

Application Number:

特願2000-192475

出 願 人

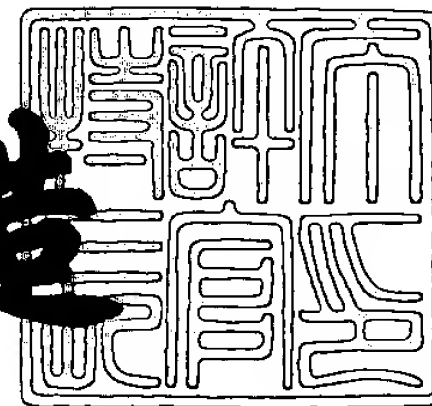
Applicant(s):

松下電器産業株式会社

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3049095

【書類名】 特許願

【整理番号】 2925020009

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 加藤 剛久

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 嶋田 恭博

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 第 1 の電界効果型トランジスタと、該第 1 の電界効果型トランジスタの上に設けられた強誘電体コンデンサとから構成されており、前記第 1 の電界効果型トランジスタのゲート電極と前記強誘電体コンデンサの下部電極とが同一であるか又は電氣的に接続されていると共に、前記強誘電体コンデンサの上部電極が制御ゲートとなる MFMI S 型トランジスタと、

前記第 1 の電界効果型トランジスタの第 1 のウエル領域と分離して形成された第 2 のウエル領域を有する第 2 の電界効果型トランジスタとを備え、

前記第 1 の電界効果型トランジスタの第 1 のウエル領域と、前記第 2 の電界効果型トランジスタのソース領域とが電氣的に接続されており、

前記第 1 の電界効果型トランジスタのゲート電極と、前記第 2 の電界効果型トランジスタのドレイン領域とが電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 の電界効果型トランジスタ、前記第 2 の電界効果型トランジスタ並びに前記第 1 及び第 2 の電界効果型トランジスタを駆動する駆動回路は同一の半導体基板上に形成されており、

前記駆動回路に供給される駆動用電圧と、前記第 2 の電界効果型トランジスタの第 2 のウエル領域に供給される DC 電圧とは、同一の電圧電源から供給されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 第 1 の電界効果型トランジスタの第 1 のウエル領域と前記第 2 の電界効果型トランジスタの第 2 のウエル領域とは、互いに異なる導電型を有していることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】 第 1 の電界効果型トランジスタと、該第 1 の電界効果型トランジスタの上に設けられた強誘電体コンデンサとから構成され、前記第 1 の電界効果型トランジスタのゲート電極と前記強誘電体コンデンサの下部電極とが同一であるか又は電氣的に接続されていると共に、前記強誘電体コンデンサの上部電極が制御ゲートとなる MFMI S 型トランジスタと、前記第 1 の電界効果型トラン

ジスタの第2のウェル領域と分離して形成された第2のウェル領域を有する第2の電界効果型トランジスタとを備え、前記第1の電界効果型トランジスタの第1のウェル領域と、前記第2の電界効果型トランジスタのソース領域とが電氣的に接続されていると共に、前記第1の電界効果型トランジスタのゲート電極と、前記第2の電界効果型トランジスタのドレイン領域とが電氣的に接続されている半導体記憶装置の駆動方法であって、

前記第2の電界効果型トランジスタを導通にした状態で、前記第1の電界効果型トランジスタの制御ゲートと第1のウェル領域との間に電圧を印加することにより、前記MFMI S型トランジスタにデータを書き込む工程と、

前記第2の電界効果型トランジスタを非導通にした状態で、前記第1の電界効果型トランジスタのチャネル抵抗の変化を検出することにより、前記MFMI S型トランジスタに書き込まれたデータを読み出す工程とを備えていることを特徴とする半導体記憶装置の駆動方法。

【請求項5】 前記第1及び第2の電界効果型トランジスタを駆動する駆動回路に供給される駆動用電圧と、前記第2の電界効果型トランジスタの第2のウェル領域に印加されるDC電圧とは、同一の電圧電源から供給されることを特徴とする請求項4に記載の半導体記憶装置の駆動方法。

【請求項6】 前記第1のウェル領域と前記第2のウェル領域とは、互いに異なる導電性を有していることを特徴とする請求項4又は5に記載の半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタの上に強誘電体コンデンサが設けられてなるMFMI S型トランジスタを有する半導体記憶装置及びその駆動方法に関する。

【0002】

【従来の技術】

電界効果型トランジスタの上に強誘電体コンデンサが設けられてなるMFMI

S型トランジスタは、Metal（金属）／Ferroelectric（強誘電体）／Metal（金属）／Insulator（誘電体）／Semiconductor（半導体）の積層構造を有している。MFMI S型トランジスタとしては、下記に説明する2種類の構造が知られており、図5（a）に示すように、半導体基板100の表面部に形成されソース又はドレインとなる不純物拡散層101、半導体基板100上にゲート絶縁膜102を介して順次形成された、浮遊ゲート103、強誘電体膜104及び制御ゲート105を有する第1の構造つまり電界効果型トランジスタのゲート電極が強誘電体コンデンサの下部電極を兼ねる第1の構造と、図5（b）に示すように、半導体基板110の表面部に形成されソース又はドレインとなる不純物拡散層111、半導体基板110上にゲート絶縁膜112を介して形成されたゲート電極113、ゲート電極113を覆う層間絶縁膜114に形成され接続プラグ115を介してゲート電極113と接続された浮遊ゲート116、浮遊ゲート116の上に形成された強誘電体膜117、及び強誘電体膜117の上に形成された制御ゲート118を有する第2の構造つまり電界効果型トランジスタのゲート電極と強誘電体コンデンサの下部電極とが電氣的に接続された第2の構造である。

【0003】

以下、MFMI S型トランジスタを有する半導体記憶装置における、データの消去動作（ERASE）、データの書き込み動作（WRITE）及びデータの読み出し動作（READ）について説明する。

【0004】

まず、半導体基板を負電位にすることにより、MFMI S型トランジスタの制御ゲートと半導体基板間に電圧を印加して、強誘電体膜の分極方向を一方向に揃える。これによって、全てのメモリセルのデータが消去される。

【0005】

次に、データの書き込み動作をする際には、書き込み用トランジスタにより選択された所定のアドレスを有するメモリセルのMFMI S型トランジスタに対して、制御ゲートと半導体基板との間に電圧を印加して強誘電体膜の分極方向を反転（オン状態）するか、又は制御ゲートと半導体基板間に電圧を印加することなく強誘電体膜の分極方向を保持（オフ状態）する。すなわち、入力データに応じ

て分極反転（オン状態）又は分極保持（オフ状態）という2種類の分極状態を発生させることにより、データの書き込みを行なう。強誘電膜体の分極状態は電圧を印加しない状態でも保持されるので、不揮発性の半導体記憶装置として機能する。

【0006】

次に、データの読み出し動作は、読み出し用トランジスタをオンして、MFMI Sトランジスタを構成する電界効果型トランジスタのチャネル領域を通して接地線に流れる電流（ドレイン・ソース間電流）に伴う電圧降下を検出することにより行なう。MFMI Sトランジスタの強誘電体膜の分極状態に応じて、チャネル抵抗が変化するので、書き込まれたデータが読み出される。

【0007】

ところで、MFMI S型トランジスタにおいては、強誘電体コンデンサ（容量 C_f ）と、電界効果型トランジスタのキャパシタ（容量 C_g ）とが直列に接続されているため、強誘電体コンデンサには、制御ゲートと半導体基板との間に印加された電圧のうち容量の逆数比で分割された電圧しか印加されない。

【0008】

このため、強誘電体膜の分極状態を反転させてデータの書き込み（データプログラム）を行なうためには、強誘電体膜の分極状態を反転させるのに必要な電圧（分極反転電圧）の $(C_f + C_g) / C_g$ 倍の電圧を、制御ゲートと半導体基板との間に印加しなければならないので、データの書き込みに要する電圧は大きくなってしまふ。

【0009】

そこで、特開平8-97386号公報においては、MFMI S型トランジスタの浮遊ゲートに電圧印加用トランジスタを接続して、外部から電圧印加用トランジスタを介して浮遊ゲートに書き込み用の電圧を印加できるようにしている。

【0010】

このようにすると、制御ゲートと浮遊ゲートとの間に独立して電圧を印加できるので、データの書き込みに要する電圧を低減することができる。

【0011】

【発明が解決しようとする課題】

しかしながら、特開平 8 - 9 7 3 8 6 号公報に示される構造によると、制御ゲートに電圧を供給するための電圧電源及び電圧供給線と、浮遊ゲートに電圧を供給するための電圧電源及び電圧供給線との 2 系統の電圧供給手段が必要になるので、回路構成が複雑になって半導体記憶装置の構造が複雑になるという新たな問題が発生する。

【0 0 1 2】

前記に鑑み、本発明は、簡易な構成により、データの書き込みに要する電圧を低減できるようにすることを目的とする。

【0 0 1 3】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る半導体記憶装置は、第 1 の電界効果型トランジスタと、該第 1 の電界効果型トランジスタの上に設けられた強誘電体コンデンサとから構成されており、第 1 の電界効果型トランジスタのゲート電極と強誘電体コンデンサの下部電極とが同一であるか又は電氣的に接続されていると共に強誘電体コンデンサの上部電極が制御ゲートとなる M F M I S 型トランジスタと、第 1 の電界効果型トランジスタの第 1 のウェル領域と分離して形成された第 2 のウェル領域を有する第 2 の電界効果型トランジスタとを備え、第 1 の電界効果型トランジスタの第 1 のウェル領域と、第 2 の電界効果型トランジスタのソース領域とが電氣的に接続されており、第 1 の電界効果型トランジスタのゲート電極と、第 2 の電界効果型トランジスタのドレイン領域とが電氣的に接続されている。

【0 0 1 4】

本発明に係る半導体記憶装置によると、第 1 の電界効果型トランジスタの第 1 のウェル領域と第 2 の電界効果型トランジスタのソース領域とが電氣的に接続されていると共に、第 1 の電界効果型トランジスタのゲート電極と第 2 の電界効果型トランジスタのドレイン領域とが電氣的に接続されているため、第 1 の電界効果型トランジスタの第 1 のウェル領域とゲート電極とは、第 2 の電界効果型トランジスタのソース領域及びドレイン領域を介して接続されているので、第 2 の電

界効果型トランジスタを導通状態にすると、第1の電界効果型トランジスタの第1のウェル領域とゲート電極とが短絡する。

【0015】

このため、MFMI S型トランジスタにデータを書き込む際に、第2の電界効果型トランジスタを導通状態にして第1の電界効果型トランジスタの第1のウェル領域とゲート電極とを短絡しておけば、MFMI S型トランジスタの制御ゲートと第1のウェル領域との間に印加する電圧としては、強誘電体コンデンサの強誘電体膜の分極状態を反転させることができる大きさの電圧で足りる。

【0016】

従って、本発明に係る半導体記憶装置によると、簡易な構成により、データの書き込みに要する電圧を低減することができる。

【0017】

本発明に係る半導体記憶装置において、第1の電界効果型トランジスタ、第2の電界効果型トランジスタ並びに第1及び第2の電界効果型トランジスタを駆動する駆動回路は同一の半導体基板上に形成されており、駆動回路に供給される駆動用電圧と、第2の電界効果型トランジスタの第2のウェル領域に供給されるDC電圧とは、同一の電圧電源から供給されることが好ましい。

【0018】

このようにすると、第2の電界効果型トランジスタの第2のウェル領域に供給されるDC電圧を生成する必要がないため、半導体基板上に形成されるDC電圧生成回路の構成が簡略化されるので、消費電力を低減できると共に半導体基板の小型化を図ることができる。

【0019】

本発明に係る半導体記憶装置において、第1の電界効果型トランジスタの第1のウェル領域と第2の電界効果型トランジスタの第2のウェル領域とは、互いに異なる導電型を有していることが好ましい。

【0020】

このようにすると、駆動回路に供給される駆動用電圧と第2の電界効果型トランジスタの第2のウェル領域に供給されるDC電圧とを同一の電圧電源から供給

することが容易になるので、半導体基板上に形成されるDC電圧生成回路を確実に簡略化することができる。

【 0 0 2 1 】

本発明に係る半導体記憶装置の駆動方法は、第1の電界効果型トランジスタと、該第1の電界効果型トランジスタの上に設けられた強誘電体コンデンサとから構成され、第1の電界効果型トランジスタのゲート電極と強誘電体コンデンサの下部電極とが同一であるか又は電氣的に接続されていると共に強誘電体コンデンサの上部電極が制御ゲートとなるMFMI S型トランジスタと、第1の電界効果型トランジスタの第2のウェル領域と分離して形成された第2のウェル領域を有する第2の電界効果型トランジスタとを備え、第1の電界効果型トランジスタの第1のウェル領域と、第2の電界効果型トランジスタのソース領域とが電氣的に接続されていると共に、第1の電界効果型トランジスタのゲート電極と、第2の電界効果型トランジスタのドレイン領域とが電氣的に接続されている半導体記憶装置の駆動方法を対象とし、第2の電界効果型トランジスタを導通にした状態で、第1の電界効果型トランジスタの制御ゲートと第1のウェル領域との間に電圧を印加することにより、MFMI S型トランジスタにデータを書き込む工程と、第2の電界効果型トランジスタを非導通にした状態で、第1の電界効果型トランジスタのチャネル抵抗の変化（ドレイン・ソース間電流の変化に伴う電圧降下の変化）を検出することにより、MFMI S型トランジスタに書き込まれたデータを読み出す工程とを備えている。

【 0 0 2 2 】

本発明に係る半導体記憶装置の駆動方法によると、MFMI S型トランジスタにデータを書き込む際には、第2の電界効果型トランジスタを導通にした状態で、つまり第1の電界効果型トランジスタの第1のウェル領域とゲート電極とが短絡した状態で、第1の電界効果型トランジスタの制御ゲートと第1のウェル領域との間に電圧を印加するため、MFMI S型トランジスタの制御ゲートと第1のウェル領域との間に印加する電圧としては、強誘電体コンデンサの強誘電体膜の分極状態を反転させることができる大きさの電圧で足りる。

【 0 0 2 3 】

従って、本発明に係る半導体記憶装置の駆動方法によると、簡易な構成により、データの書き込みに要する電圧を低減することができる。

【 0 0 2 4 】

本発明に係る半導体記憶装置の駆動方法において、第 1 及び第 2 の電界効果型トランジスタを駆動する駆動回路に供給される駆動用電圧と、第 2 の電界効果型トランジスタの第 2 のウェル領域に印加される D C 電圧とは、同一の電圧電源から供給されることが好ましい。

【 0 0 2 5 】

このようにすると、第 2 の電界効果型トランジスタの第 2 のウェル領域に供給される D C 電圧を生成する必要がないため、半導体基板上に形成される D C 電圧生成回路の構成が簡略化されるので、消費電力を低減できると共に半導体基板の小型化を図ることができる。

【 0 0 2 6 】

本発明に係る半導体記憶装置の駆動方法において、第 1 のウェル領域と第 2 のウェル領域とは、互いに異なる導電型を有していることが好ましい。

【 0 0 2 7 】

このようにすると、駆動回路に供給される駆動用電圧と第 2 の電界効果型トランジスタの第 2 のウェル領域に供給される D C 電圧とを同一の電圧電源から供給することが容易になるので、半導体基板上に形成される D C 電圧生成回路を確実に簡略化することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明の一実施形態に係る半導体記憶装置及びその駆動方法について、図 1 ～図 4 を参照しながら説明する。

【 0 0 2 9 】

図 1 は、本発明の一実施形態に係る半導体記憶装置からなるメモリセルが 2 行 × 2 列のマトリックス状に配置されたメモリセルアレイの平面構造を示しており、図 1 において、 $W L_1$ 、 $W L_2$ はワード線であり、 $S L_1$ 、 $S L_2$ はソース線であり、 $R L_1$ 、 $R L_2$ はリセット線であり、 $G L_1$ 、 $G L_2$ は動作電圧供給線

であり、 BL_1 、 BL_2 はビット線であり、 Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} はデータ蓄積用の第 1 の電界効果型トランジスタ（以下、単に蓄積トランジスタと称する。）であり、 C_{11} 、 C_{12} 、 C_{21} 、 C_{22} は強誘電体コンデンサであり、 R_{11} 、 R_{12} 、 R_{21} 、 R_{22} はリセット用の第 2 の電界効果型トランジスタ（以下、単にリセットトランジスタと称する。）であり、 P_{11} 、 P_{12} 、 P_{21} 、 P_{22} は蓄積トランジスタ Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} を選択する選択用の第 3 の電界効果型トランジスタ（以下、単に選択トランジスタと称する。）である。

【 0 0 3 0 】

尚、同一のメモリセルに設けられている各蓄積トランジスタ Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} と、各強誘電体コンデンサ C_{11} 、 C_{12} 、 C_{21} 、 C_{22} とによって MFMI S 型トランジスタが構成されている。

【 0 0 3 1 】

また、本発明に係る MFMI S 型トランジスタとしては、図 5 (a) に示すように、電界効果型トランジスタのゲート電極が強誘電体コンデンサの下部電極を兼ねる第 1 の構造であってもよいし、図 5 (b) に示すように、電界効果型トランジスタのゲート電極と強誘電体コンデンサの下部電極とが電氣的に接続された第 2 の構造であってもよい。

【 0 0 3 2 】

図 1 に示すように、メモリセルアレイの列方向に延びる p 型のウエル領域（第 1 のウエル領域） W_1 、 W_2 及び n 型のウエル領域 V_1 、 V_2 （第 2 のウエル領域）が行方向に交互に設けられており、蓄積トランジスタ Q は p 型のウエル領域 W に形成されていると共に、リセットトランジスタ R 及び選択トランジスタ P は n 型のウエル領域 V に形成されている。

【 0 0 3 3 】

MFMI S 型トランジスタの制御ゲート（強誘電体コンデンサ C の上部電極）は、選択トランジスタ P を介して動作電圧供給線 GL に接続され、選択トランジスタ P のゲートはワード線 WL に接続されている。

【 0 0 3 4 】

蓄積トランジスタ Q のドレインはビット線 BL に接続されていると共に、蓄積

トランジスタQのソースはソース線SLに接続されており、ビット線BLとソース線SLとの電位差によりデータの読み出しが行なわれる。

【 0 0 3 5 】

蓄積トランジスタQのゲートはリセットトランジスタRのドレインに接続され、蓄積トランジスタQの第2のウエル領域WはリセットトランジスタRのソースに接続され、リセットトランジスタRのゲートはリセット線RLに接続されている。

【 0 0 3 6 】

尚、本実施形態においては、蓄積トランジスタQはp型のウエル領域Wに形成されていると共に、リセットトランジスタR及び選択トランジスタPはn型のウエル領域Vに形成されているが、蓄積トランジスタ型Qと、リセットトランジスタR及び選択トランジスタPとは、互いに分離されたウエル領域に形成されておればよい。

【 0 0 3 7 】

以下、本発明の一実施形態に係る半導体記憶装置からなるメモセルアレイにおけるアドレス11（1行目且つ1列目）のメモリセルに対して書き込み動作及び読み出し動作を行なう方法について、図2を参照しながら説明する。

【 0 0 3 8 】

（書き込み動作）

まず、書き込み動作の準備として、全てのp型のウエル領域 W_1 、 W_2 を接地する（ $W_1=W_2=0V$ ）と共に、全てのn型のウエル領域 V_1 、 V_2 に、動作電圧のうちで最も高い電圧例えば5Vの電源電圧 V_p を印加する（ $V_1=V_2=V_p$ ）。

【 0 0 3 9 】

以下、アドレス11のメモリセルにデータを書き込む動作について説明する。

【 0 0 4 0 】

1列目のリセット線 RL_1 に0Vを印加して1列目のリセットトランジスタ R_{11} 、 R_{21} をオンにすると共に、2列目のリセット線 RL_2 に電圧 V_p を印加して2列目のリセットトランジスタ R_{12} 、 R_{22} をオフにする。このようにすると、1

列目のメモリセルにおいては、蓄積トランジスタ Q の浮遊ゲートと第2のウェル領域 W_1 とが短絡する。

【0041】

全てのビット線 BL_1 、 BL_2 及び全てのソース線 SL_1 、 SL_2 に接地電圧 $0V$ を印加する。このようにすると、1列目の蓄積トランジスタ Q においては、浮遊ゲート、 p 型のウェル領域 W_1 、ドレイン領域及びソース領域の電位が全て $0V$ になる。

【0042】

1行目のワード線 WL_1 に接地電圧 $0V$ を印加して1行目の選択トランジスタ P_{11} 、 P_{12} をオンにすると共に、2行目のワード線 WL_2 に電圧 V_p を印加して2行目の選択トランジスタ P_{21} 、 P_{22} をオフにする。この状態で、1列目の動作電圧供給線 GL_1 に2値データである電圧 $+V_p$ 又は電圧 $-V_p$ を印加する一方、2列目の動作電圧供給線 GL_2 に接地電圧 $0V$ を印加する。

【0043】

このようにすると、アドレス11のメモリセルにおいては、強誘電体コンデンサ C_{11} の電極間に電圧 $+V_p$ 又は電圧 $-V_p$ が印加されるので、強誘電体コンデンサ C_{11} の分極が書き換えられる。

【0044】

一方、2行目のメモリセルにおいては、2行目の選択トランジスタ P_{21} 、 P_{22} がオフであるためデータは書き込まれないと共に、2列目のメモリセルにおいては、リセットトランジスタ R_{12} 、 R_{22} がオフで且つ2列目の動作電圧供給線 GL_2 が接地状態であるためデータは書き換えられない。

【0045】

(読み出し動作)

全てのリセット線 RL_1 、 RL_2 に電圧 V_p を印加して、全てのリセットトランジスタ R_{11} 、 R_{12} 、 R_{21} 、 R_{22} をオフにする。このようにすると、強誘電体コンデンサ C_{11} 、 C_{12} 、 C_{21} 、 C_{22} と蓄積トランジスタ Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} とがそれぞれ結合されて、MFMI S型トランジスタが形成される。

【0046】

全てのソース線 SL_1 、 SL_2 に接地電圧 $0V$ を印加した状態で、1列目のビット線 BL_1 に電圧 V_d （例えば $0.6V$ ）を印加する一方、2列目のビット BL_2 に接地電圧 $0V$ を印加する。このようにすると、1列目のアドレスが指定される。

【0047】

1行目のワード線 WL_1 に接地電圧 $0V$ を印加して、1行目の選択トランジスタ P_{11} 、 P_{12} をオンにする一方、2行目のワード線 WL_2 に電圧 V_p を印加して2行目の選択トランジスタ P_{21} 、 P_{22} をオフにする。このようにすると、1行目のアドレスが指定される。

【0048】

また、1列目の動作電圧供給線 GL_1 に電圧 V_r （蓄積トランジスタ Q_{11} のしきい値程度の値が好ましい。）を印加する一方、2列目の動作電圧供給線 GL_2 に接地電圧 $0V$ を印加する。

【0049】

このようにすると、1行目の選択トランジスタ P_{11} 、 P_{12} がオンになり、1列目の動作電圧供給線 GL_1 に電圧 V_r が印加されるので、アドレス11のMFMI Sの制御ゲートがオンになる。また1列目のビット線 BL_1 とソース線 SL_1 との間には電圧 V_d が印加されているので、アドレス11のメモリセルを構成する蓄積トランジスタ Q_{11} にはドレイン電流が流れる。このとき、アドレス11のメモリセルを構成する強誘電体コンデンサ C_{11} の分極状態が正であるか又は負であるかの状態（書き込み動作時に、1列目の動作電圧供給線 GL_1 に印加された $\pm V_p$ により定まる）によって、浮遊ゲートの電位が異なるため、ドレイン電流が大又は小になるので、2値データとして取り出すことができる。

【0050】

尚、再書き込み動作を行なう際には、消去動作を行なうことなく、前述の書き込み動作を行なえばよい。つまり、本発明によると、消去動作を行なうことなく書き込み動作を行なうことができる。

【0051】

図3は、本実施形態に係る半導体記憶装置からなるメモリセルアレイが搭載さ

れた半導体チップ 1 の平面構造を示しており、半導体チップ 1 の上には、メモリセルアレイ 2、行ドライバー 3、列ドライバー 4、I/F 回路 5 及び DC-DC コンバータ 6 が形成されている。

【 0 0 5 2 】

外部から半導体チップ 1 上の VDD 端子に導入された電源電圧及び外部から半導体チップ 1 上の GND 端子に導入された接地電圧は、メモリセルアレイ 2 を駆動する駆動回路である行ドライバー 3 及び列ドライバー 4 にそれぞれ供給される。DC-DC コンバータ 6 は、DC 電圧 $-V_p$ 、DC 電圧 V_d 、DC 電圧 V_r を生成する。DC-DC コンバータ 6 により生成された DC 電圧 $-V_p$ は行ドライバー 3 及び列ドライバー 4 に送られ、DC-DC コンバータ 6 により生成された DC 電圧 V_d 及び DC 電圧 V_r は列ドライバー 4 に送られる。

【 0 0 5 3 】

書き込み動作の準備時において、VDD 端子に導入された電源電圧 V_p はメモリセルアレイ 2 の n 型のウエル領域 V に直接に供給されると共に、GND 端子に導入された接地電圧 0 V はメモリセルアレイ 2 の p 型のウエル領域 W に直接に供給される。

【 0 0 5 4 】

本実施形態によると、VDD 端子に導入された電源電圧は、メモリセルアレイ 2 の n 型のウエル領域 V に DC 電圧 $+V_p$ として直接に供給されるため、DC-DC コンバータ 6 は、DC 電圧 $+V_p$ を生成する必要がないので、本実施形態に係る DC-DC コンバータ 6 の面積を従来の DC-DC コンバータの面積よりも小さくすることができる。

【 0 0 5 5 】

図 4 は、本発明の一実施形態に係る半導体記憶装置の断面構造を示しており、シリコンからなる半導体基板 10 上には LOCOS 法により形成された SiO_2 からなる素子分離領域 11 が形成されている。また、半導体基板 10 の表面部における第 1 の電界効果型トランジスタ Q を形成する領域には p 型のウエル領域 12 が形成されていると共に、第 2 の電界効果型トランジスタ R を形成する領域には n 型のウエル領域 13 が形成されている。p 型のウエル領域 12 の表面部には

、第1の電界効果型トランジスタQのソース又はドレインとなるn型の高濃度不純物層14が形成されていると共に、p型の高濃度不純物層からなるp型コンタクト層15が形成されている。また、n型のウエル領域13の表面部には、第2の電界効果型トランジスタRのソース又はドレインとなるp型の高濃度不純物層16が形成されていると共に、n型の高濃度不純物層からなるn型コンタクト層17が形成されている。

【0056】

半導体基板10の上には、 SiO_2 からなるゲート絶縁膜18を介してポリシリコンからなるゲート電極19が形成されており、該ゲート電極19は SiO_2 からなる第1の層間絶縁膜20に覆われている。

【0057】

第1の層間絶縁膜20の上には、 $\text{IrO}_2 / \text{Ir} / \text{TiN}$ からなるバリアメタル21、Ptからなる下部電極22、 $\text{SrBiTa}_2\text{O}_9$ からなる強誘電体膜23及びPtからなる上部電極24が順次形成されている。下部電極22、強誘電体膜23及び上部電極24によって強誘電体コンデンサCが構成されており、該強誘電体コンデンサCは SiO_2 からなる第2の層間絶縁膜25により覆われている。また、強誘電体コンデンサCのバリアメタル21と第1の電界効果型トランジスタQのゲート電極19とは接続プラグ26により接続されている。

【0058】

第2の層間絶縁膜26の上には、TiNからなるバリアメタル27を介して、A1からなる下層配線28A、28B、28C、28D、28E及び28Fが形成されている。下層配線28Aとn型の高濃度不純物層14の一方とは接続プラグ29Aにより接続され、下層配線28Bと強誘電体コンデンサCの上部電極24とは接続プラグ29Bにより接続され、下層配線28Cとn型の高濃度不純物層14の他方とは接続プラグ29Cにより接続され、下層配線28Dの一端は接続プラグ29Dによりp型コンタクト層15と接続され、下層配線28Dの他端は接続プラグ29Dによりp型の高濃度不純物層16の一方と接続され、下層配線28Eは接続プラグ29Eによりp型の高濃度不純物層16の他方と接続され、下層配線28Fは接続プラグ29Fによりn型コンタクト層17と接続されて

いる。

【0059】

バリアメタル27、下層配線28A、28B、28C、28D、28E及び28Fは SiO_2 からなる第3の層間絶縁膜30により覆われている。第3の層間絶縁膜30の上には、 TiN からなるバリアメタル31を介して、A1からなる上層配線32が形成されており、上層配線32と下層配線28Cとは接続プラグ33により接続されている。

【0060】

上層配線32は SiO_2 からなる第1の保護膜34により覆われていると共に、第1の保護膜34の上には SiN_x からなる第2の保護膜35が形成されている。

【0061】

【発明の効果】

本発明に係る半導体記憶装置又はその駆動方法によると、MFMI S型トランジスタの制御ゲートと第1のウェル領域との間に印加する電圧としては、強誘電体コンデンサの強誘電体膜の分極状態を反転させることができる大きさの電圧で足りるので、簡易な構成により、データの書き込みに要する電圧を低減することが可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る半導体記憶装置からなるメモリセルがマトリックス状に配置されてなるメモリセルアレイの平面図である。

【図2】

本発明の一実施形態に係る半導体記憶装置からなるメモリセルがマトリックス状に配置されてなるメモリセルアレイのメモリセルに対して書き込み動作及び読み出し動作を行なう際の印加電圧を示す図である。

【図3】

本発明の一実施形態に係る半導体記憶装置からなるメモリセルが配置されたメモリセルアレイが搭載されている半導体チップの平面図である。

【図 4】

本発明の一実施形態に係る半導体記憶装置の断面図である。

【図 5】

(a) は、従来又は本発明の一実施形態に係る半導体記憶装置を構成する MFMI S 型トランジスタの第 1 の構造を示す断面図であり、(b) は、従来又は本発明の一実施形態に係る半導体記憶装置を構成する MFMI S 型トランジスタの第 2 の構造を示す断面図である。

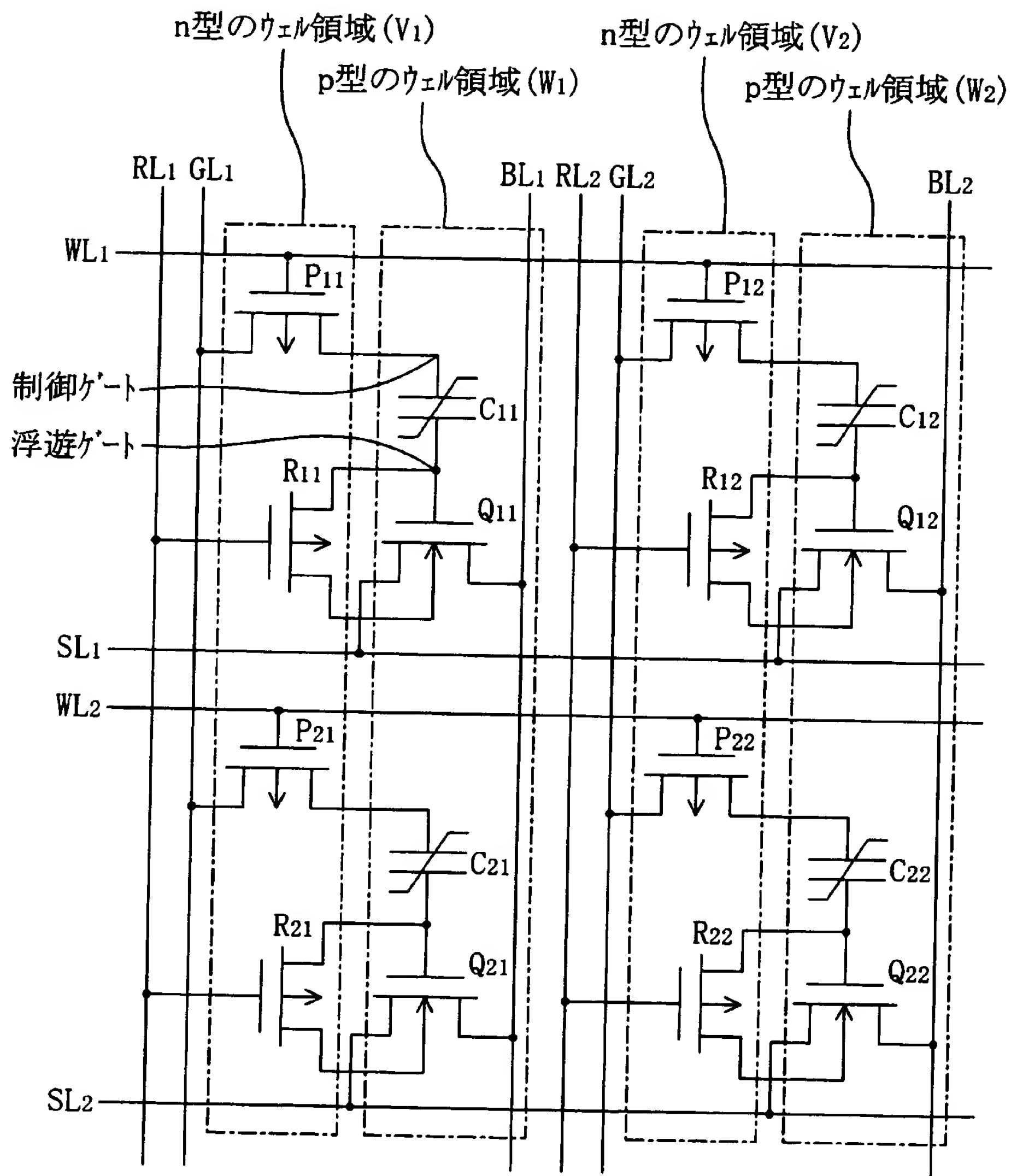
【符号の説明】

- WL₁、WL₂ ワード線
- SL₁、SL₂ ソース線
- RL₁、RL₂ リセット線
- GL₁、GL₂ 動作電圧供給線
- BL₁、BL₂ ビット線
- Q₁₁、Q₁₂、Q₂₁、Q₂₂ 蓄積トランジスタ
- C₁₁、C₁₂、C₂₁、C₂₂ 強誘電体コンデンサ
- R₁₁、R₁₂、R₂₁、R₂₂ リセットトランジスタ
- P₁₁、P₁₂、P₂₁、P₂₂ 選択トランジスタ
- V₁、V₂ n型の第1のウエル領域
- W₁、W₂ p型の第2のウエル領域
- 1 半導体チップ
- 2 メモリセルアレイ
- 3 行ドライバー
- 4 列ドライバー
- 5 I/F回路
- 6 DC-DCコンバータ
- 10 半導体基板
- 11 素子分離領域
- 12 p型のウエル領域
- 13 n型のウエル領域

- 1 4 n 型の高濃度不純物層
- 1 5 p 型コンタクト層
- 1 6 p 型の高濃度不純物層
- 1 7 n 型コンタクト層
- 1 8 ゲート絶縁膜
- 1 9 ゲート電極
- 2 0 第 1 の層間絶縁膜
- 2 1 バリアメタル
- 2 2 下部電極
- 2 3 強誘電体膜
- 2 4 上部電極
- 2 5 第 2 の層間絶縁膜
- 2 6 接続プラグ
- 2 7 バリアメタル
- 2 8 A、2 8 B、2 8 C、2 8 D、2 8 E、2 8 F 下層配線
- 2 9 接続プラグ
- 3 0 第 3 の層間絶縁膜
- 3 1 バリアメタル
- 3 2 上層配線
- 3 3 接続プラグ
- 3 4 第 1 の保護膜
- 3 5 第 2 の保護膜

【書類名】 図面

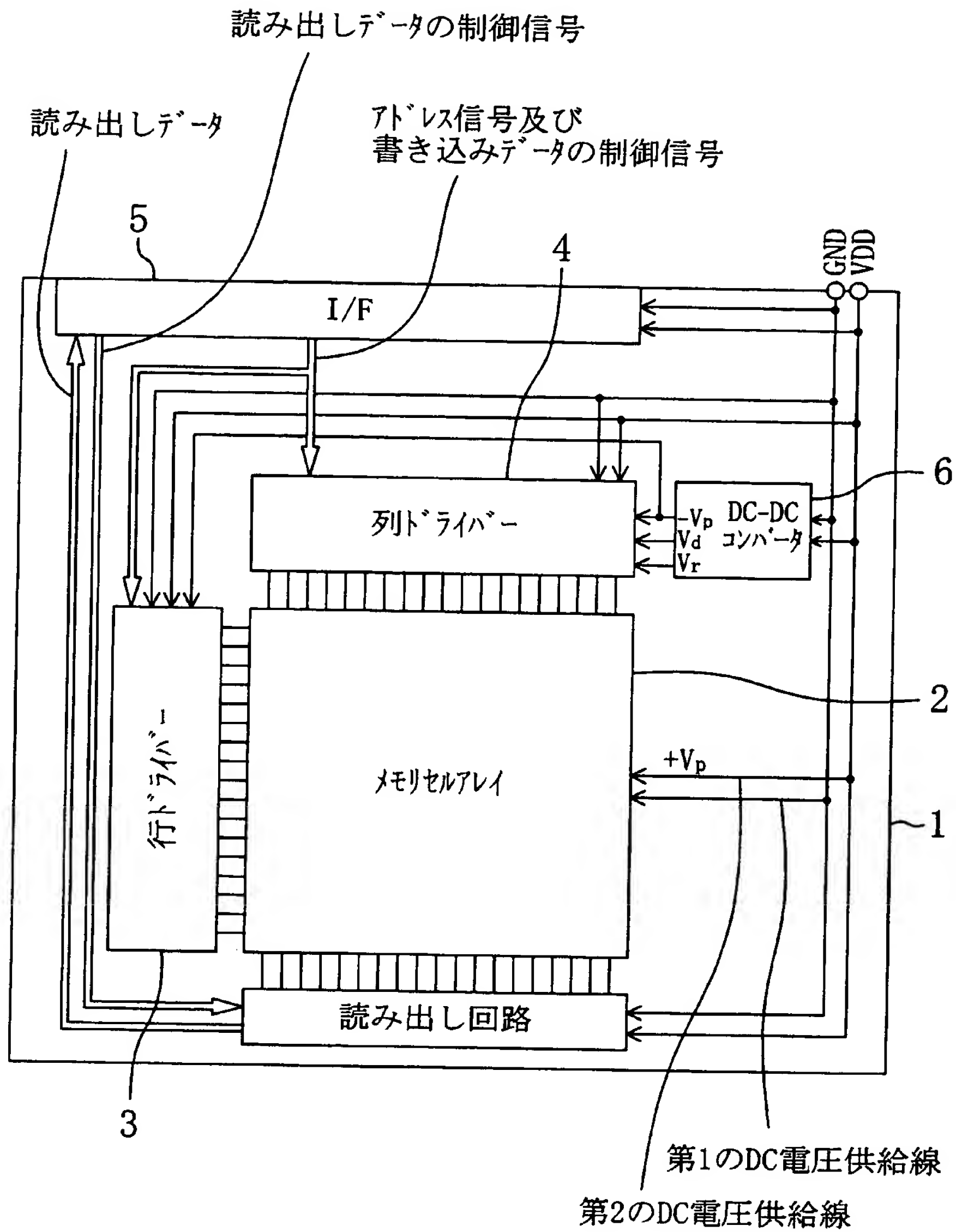
【図 1】



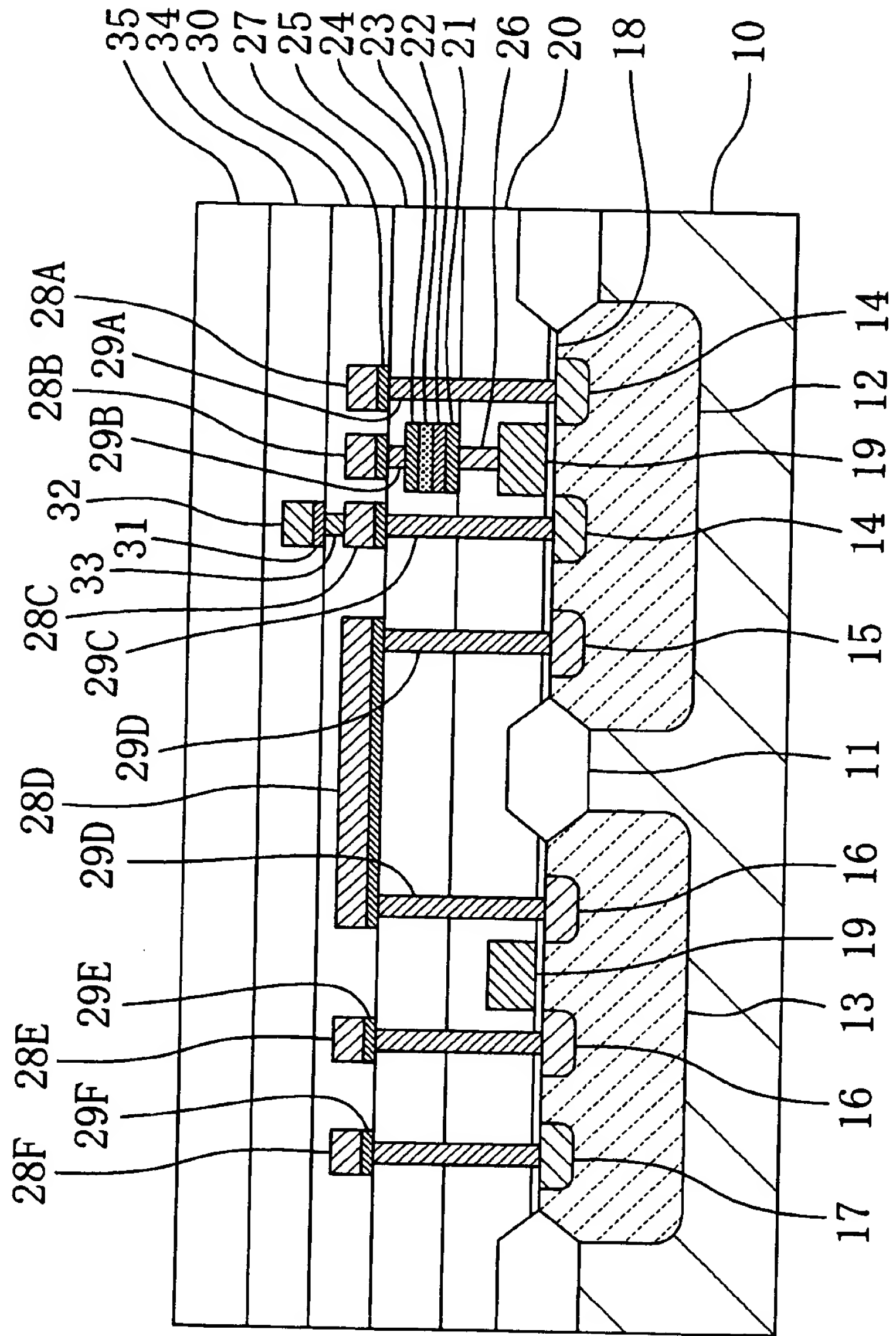
【図 2】

	動作	
	WRITE	READ
WL1	0	0
SL1	0	0
GL1	$\pm V_p$	V_r
BL1	0	V_d
RL1	0	V_p
V1	V_p	V_p
W1	0	0
WL2	V_p	V_p
SL2	0	0
GL2	0	0
BL2	0	0
RL2	V_p	V_p
V2	V_p	V_p
W2	0	0

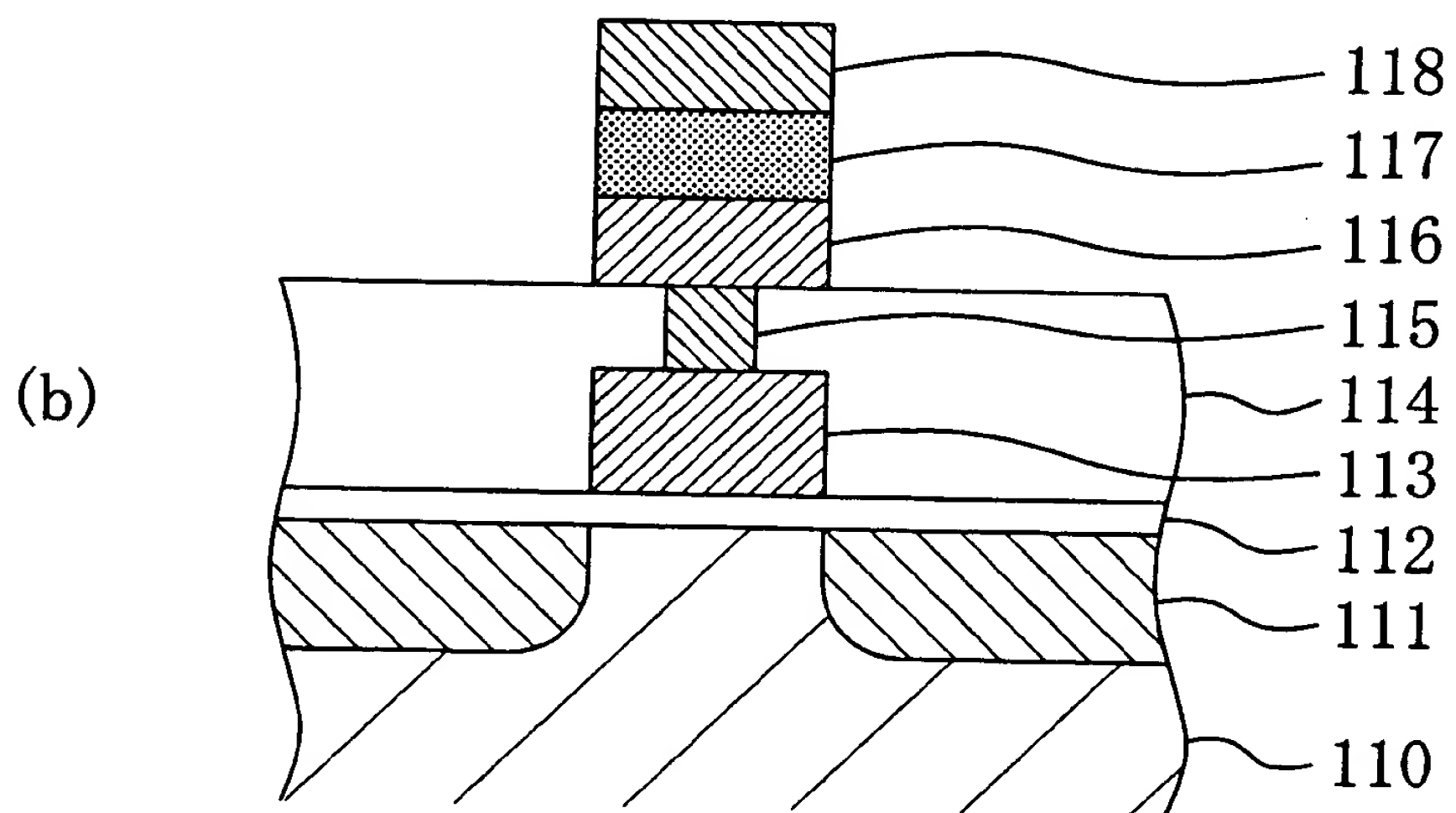
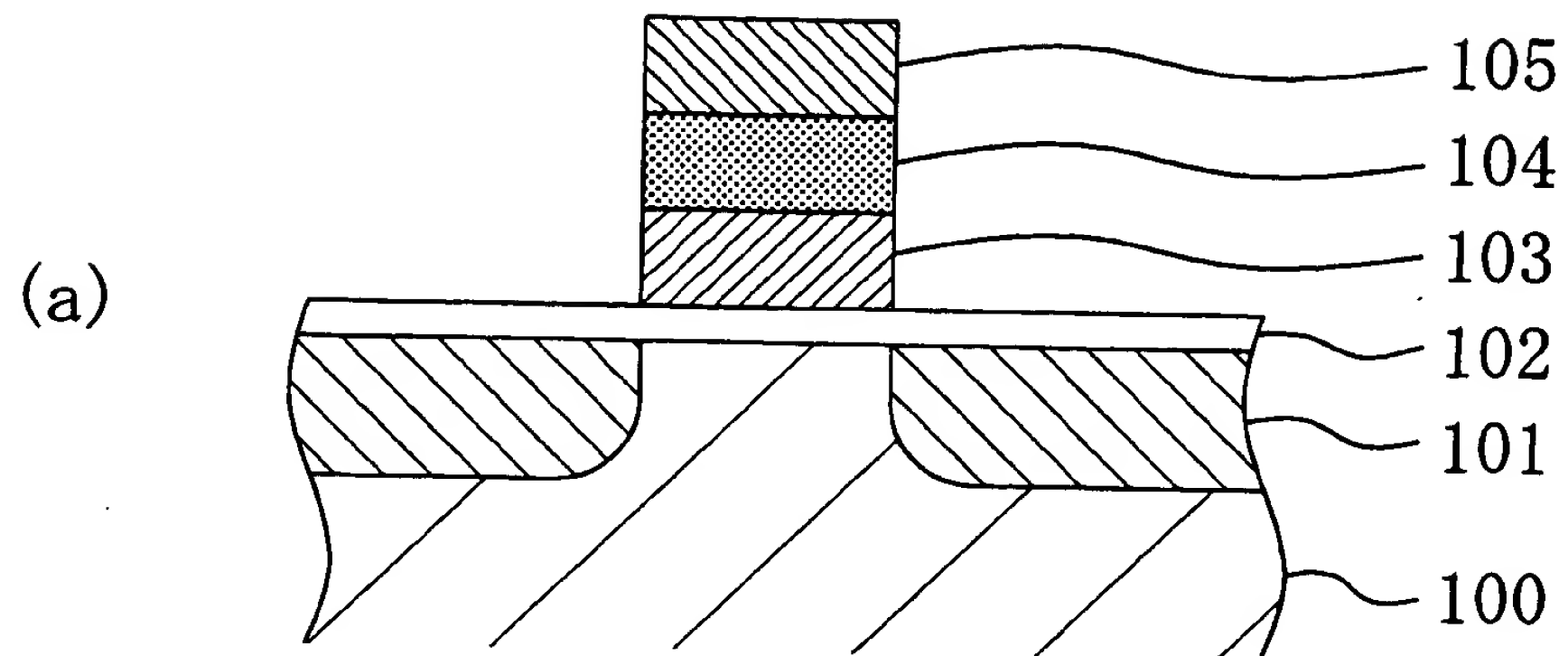
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 簡易な構成により、データの書き込みに要する電圧を低減できるようにする。

【解決手段】 蓄積トランジスタQはp型のウエル領域Wに形成されていると共に、選択トランジスタP及びリセットトランジスタRはn型のウエル領域Vに形成されており、蓄積トランジスタQと強誘電体コンデンサCとによってMFMI S型トランジスタが構成されている。MFMI S型トランジスタの制御ゲートは、選択トランジスタPを介して動作電圧供給線GLに接続され、選択トランジスタPのゲートはワード線WLに接続されている。蓄積トランジスタQのゲートはリセットトランジスタRのドレインに接続され、蓄積トランジスタQの第2のウエル領域WはリセットトランジスタRのソースに接続され、リセットトランジスタRのゲートはリセット線RLに接続されている。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月25日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-192475

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日 1 9 9 3 年 9 月 1 日
[変更理由] 住所変更
住 所 大阪府高槻市幸町 1 番 1 号
氏 名 松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社